

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

CLIPPEDIMAGE= JP360198432A
PAT-NO: JP360198432A
DOCUMENT-IDENTIFIER: JP 60198432 A
TITLE: GENERATING DEVICE FOR ELECTRON BEAM DRAWING DATA

PUBN-DATE: October 7, 1985

INVENTOR-INFORMATION:

NAME

KONISHI, TADAO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP59055062

APPL-DATE: March 21, 1984

INT-CL_(IPC): G01L021/30; G03F007/20

ABSTRACT:

PURPOSE: To obtain the device that generates drawing data which allows proximity effect corrections at a high speed by correcting the size of a drawing pattern according to an exposure level.

CONSTITUTION: A bit pattern memory 4 is controlled by an address generating circuit 15 and a controller 6 with every clock 15 so that the position of a small matrix on a large matrix is obtained. Column data read out of the memory 4 is held in a register group 7 and shifted to a small matrix register group 8 with a next clock 16. The output of the register group 8 is weighted by controlling the output of a register group 9 through a gate group 10, whose output is summed up by an adding circuit 11 and stored in one point of exposure amount map memory 13 as the amount of exposure at the center coordinates of the small matrix through a register 12. An address signal 17

from the controller
16 is passed through an address switch circuit 14 to obtain
a control signal
19, with which the address of the memory 13 is controlled.
Thus, the amount of
exposure at every coordinate point is calculated at a high
speed to generate an
exposure amount map.

COPYRIGHT: (C)1985,JPO&Japio

⑫ 公開特許公報(A)

昭60-198432

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)10月7日

G 01 L 21/30
G 03 F 7/20M-7507-2F
7124-2H

審査請求 未請求 発明の数 1 (全5頁)

⑥ 発明の名称 電子線描画データ作成装置

⑦ 特 願 昭59-55062

⑧ 出 願 昭59(1984)3月21日

⑨ 発 明 者 小 西 忠 雄 勝田市市毛882番地 株式会社日立製作所那珂工場内

⑩ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑪ 代 理 人 弁理士 長崎 博男 外1名

明 細 書

発明の名称 電子線描画データ作成装置

特許請求の範囲

1. ある領域の描画図形に対応する描画データを記憶するビットボタンメモリと、該メモリ上の一部をマトリクス状に読み出す手段と、前記読み出されたマトリクス状のビットボタンを保持する第1のレジスタ群と、前記ビットボタンの各元に対して重み付けをするための値を記憶している第2のレジスタ群と、該第1および第2のレジスタ群の間でそれぞれ重み付け演算を行う演算回路群と、該演算回路群の出力を加算して前記ビットボタンの各点に対する周辺ボタンの影響を求める手段と、前記周辺ボタンの影響をアドレス毎に代入して無補正描画露光量マップを補正して記憶する露光量マップメモリと、該露光量マップメモリの値により図形を輪郭部の露光量により分解して修正されたボタンデータを出力する分解回路とよりなることを特徴とする電子線描画データ作成装置。

発明の詳細な説明

(1)

〔発明の利用分野〕

本発明は電子線描画データ作成装置に係り、特に電子線描画装置におけるいわゆる近接効果による描画ボタンの歪を補正できる描画データを高速で作成するのに好適な電子線描画データ作成装置に関するものである。

〔発明の背景〕

従来は、近接効果による描画ボタンの歪を補正するため、描画データを作成するプログラムは、近接するボタンを求め、その影響を算出し、描画ボタンの分解、描画露光量の制御、描画ボタン寸法の変更などの補正処理を行つた描画データを作成するようにしていた。しかし、描画データの量は、最近、描画対象がLSIとなるのにもなつて膨大となり、補正演算を高速大形電子計算機を用いて行つたとしても十分な効果を得るためには、大なる計算時間を必要とするようになってきた。したがつて、小形電子計算機によりデータ作成を行うことはほとんど不可能に近く、これらのことから、ソフトウェアのみで処理する場合は、精度

(2)

を犠牲にした簡易処理ですまざるを得ないという問題が生じてきた。

〔発明の目的〕

本発明は上記に鑑みてなされたもので、その目的とするところは、近接効果補正を行うことができる描画データを高速で作成することができる電子線描画データ作成装置を提供することにある。

〔発明の概要〕

本発明の特徴は、ある領域の描画図形に対応する描画データを記憶するビットパターンメモリと、このメモリ上の一部をマトリクス状に読み出す手段と、上記読み出されたマトリクス状のビットパターンを保持する第1のレジスタ群と、上記ビットパタンの各元に対して重み付けをするための値を記憶している第2のレジスタ群と、この第1、第2のレジスタ群の間でそれぞれ重み付け演算を行う演算回路群と、この演算回路群の出力を加算して上記ビットパタンの各点に対する周辺パタンの影響を求める手段と、上記周辺パタンの影響をアドレス毎に入力して無補正描画露光量マップを補

(3)

る。このように、相互効果により露光量の歪が生じる。

次に、第2図～第6図を用いて本発明の原理について説明する。第2図はある領域のビットパターン表示例を示した図である。第2図に示すように、ある領域の描画パターンをマトリクス上に画面を構成してビットパターンで表わす。第2図(a)において、実線でかこまれた領域1は描画領域であり、1点鎖線でかこまれた領域2は周辺の影響を見るための領域であり、2点鎖線でかこまれた領域3は計算のため“0”をつめておく領域である。第2図(a)のそれぞれのパターンは、第2図(b)に示すようにビットパターンで表現できる。この大マトリクス上のある1点について考察すれば、第3図に示すように、もし、周辺にパターンがあれば(中心; 着目点)、周辺の座標点から1より小さい重みで影響を受ける。すなわち、ある1点の露光量は、自分自身の露光量と周辺のパターンによる重み付けされた露光量の和、すなわち面積分で表わされる。ただし、実際には2～3 μm 以上離れた点の影響は

(5)

正して記憶する露光量マップメモリと、この露光量マップメモリの値により図形を輪郭部の露光値により分解して修正されたパターンデータを出力する分解回路とよりなる構成とした点にある。

〔発明の実施例〕

以下本発明を第7図～第9図に示した実施例および第1図～第6図、第10図を用いて詳細に説明する。

まず、近接効果によるパターン歪について第1図を用いて説明する。第1図は近接効果による描画パターン歪例を示す図で、第1図(a)、(b)のように、実線で示すパターンを描画するとき、点線で示すような描画歪が発生する。1つは、第1図(a)に示すように、孤立した小さなボタンが更に小さくなってしまふという現象であり、他の1つは、第1図(b)に示すように、近接するボタンがあたかも引き合うようににじみ出し、小さいボタン間の隙間が更に小さくなるという現象である。第1図(c)は、理想的露光量(実線)と有効露光量(点線)とを示しており、第1図(a)、(b)に対応させて示してあ

(4)

無視できる。

大マトリクス上で、この小マトリクスにより周辺ビットパタンの影響を各点について求めておけば、補正なして露光した場合の露光量パターンを得ることができる。第4図はこのようにして得られた露光量マップで、実線で示した描画パターンに対して点線で示す露光量パターンとなる。この露光量パターン上で、第5図に示すように、描画図形の輪郭をトレースし、露光量のレベルによりこの輪郭を幾つかのブロックに分ける。図中の・印は区切り点を例示したもので、この区切り点と、第5図に示す例においては4頂点とにより図形を分解し、第6図に示すように、露光レベルで描画パターン寸法を補正してやれば、露光したときに希望する図形を得ることができる。

次に、本発明の実施例について説明する。第7図は本発明の電子線描画データ作成装置の露光量マップ作成装置の一実施例を示すブロック図である。第7図においては、ビットパターンメモリ4は、アドレス作成回路5およびそれを制御するコント

(6)

ローラ6により、大マトリクス上の小マトリクスの位置および次の最右カラムデータ b_{14} 、 b_{24} 、 b_{34} （3個の例）を得るようにクロック15毎に制御される。

ビットボタンメモリ4より読み出されたカラムデータは、レジスタ群7により保持され、次のクロック16で小マトリクスレジスタ群8へシフトされる。このようにして作成された小マトリクスレジスタ群8の小マトリクスの出力は、小マトリクス各元の重みを示すレジスタ群（第7図では、 $a_{11} \sim a_{33}$ ）9の出力をゲート群10により制御することによつて重み付けされる。ゲート群10の各ゲートの出力は、トリー状の加算回路11により総和が求められ、小マトリクス中心座標の露光量としてレジスタ12を経て露光量マップメモリ13の1点に蓄えられる。露光量マップメモリ13のアドレスは、コントローラ6からのアドレス信号17がアドレス切換回路14を経て制御信号19となり、これにより制御される。この演算中に次のカラムデータは、レジスタ群7に読み出

(7)

示すブロック図である。第9図においては、1つの描画ボタンデータより輪郭のアドレスをコントローラ21により作成し、このアドレス18をアドレス切換回路14を介して露光量アドレスマップメモリ13に与え、マップメモリ13を順次アクセスするようにしてあり、マップメモリ13からの出力20はマルチコンパレータ回路22によりチェックし、スレシホールドレベルを横切るとき、そのアドレスを特異点メモリ23に記憶する。このとき、図形頂点座標も合わせて記憶する。そして特異点メモリ23の内容により、分解回路24で、第10図に示すように図形を分解し、データを修正して修正データ25を出力する。これにより補正されたボタンデータを得ることができる。

上記した本発明の実施例によれば、ビットマップは、大マトリクスを 512^2 、小マトリクスを20元としたとき、1画面のマップ作成は、約 $512^2 \times$ メモリサイクルで作成でき、30～50msecで高速補正処理を実現できる。

(9)

されているため、直ちに次の座標点の演算に移ることができる。このようにして、各座標点の露光量が高速で求められ、露光量マップが作成される。

なお、第7図の回路において、小マトリクスの重みは、等距離の点については等しいこと、そしてメモリに比べて高速の、例えば、ECL（エミッタカップルロジック）等の加算回路11を用いたときは、順次積算する方式を並列方式と合せ用いることによつて加算回路11を簡単にすることができる。

第7図に示す回路においては、小マトリクスの次のカラムのビットデータを一斉に読めるようにビットボタンメモリ4を構成することにより、1メモリサイクルで小マトリクスビットボタンを更新できるという特徴を持っている。例えば、第8図に示すように、8ビット×8キロワードのRAM16個により1000×1000のビットボタンメモリを作成した場合、一度に最高128ビットのデータを読み出すことができる。

第9図はマップ完成後の出力回路の一実施例を

(8)

〔発明の効果〕

以上説明したように、本発明によれば、近接効果補正を行うことができる描画データを高速で作成することができるという効果がある。

図面の簡単な説明

第1図は近接効果による描画パターン歪例を示す図、第2図～第6図は本発明の原理を説明するための図で、第2図はある領域のビットボタン表示例を示した図、第3図は大マトリクス上のある1点の周辺ボタンによる影響の重み付けを説明するための図、第4図は露光量マップ、第5図は輪郭トレースによる露光レベル区切り点の作成説明図、第6図は区切り点と露光量によるボタン分割および補正説明図、第7図は本発明の電子線描画データ作成装置の露光量マップ作成装置の一実施例を示すブロック図、第8図は第7図のビットボタンメモリの構成例を示す図、第9図は本発明の電子線描画データ作成装置のマップ完成後の出力回路の一実施例を示すブロック図、第10図は第9図の分解回路における図形分解例を示す図である。

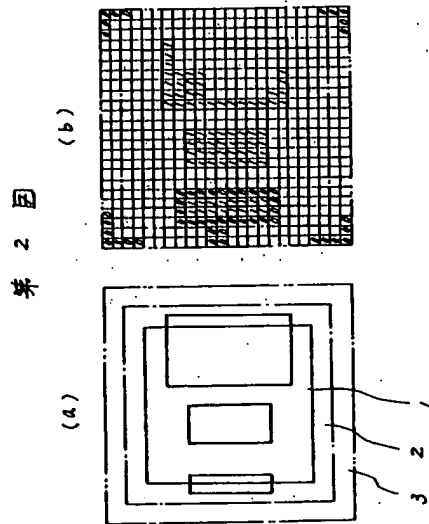
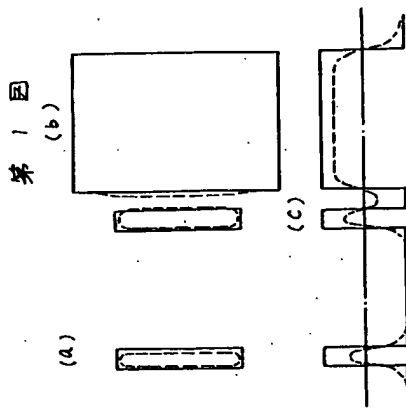
(10)

4…ビットパタンメモリ、5…アドレス作成回路、
 6, 21…コントローラ、7, 9…レジスタ群、
 8…小マトリクスレジスタ群、10…ゲート群、
 11…加算回路、12…レジスタ、13…露光量
 マップメモリ、14…アドレス切換回路、22…
 マルチコンパレータ、23…特異点メモリ、24
 …分解回路。

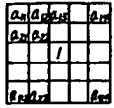
代理人 弁理士 長崎博男

(ほか1名)

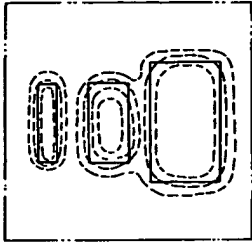
(11)



第 3 図



第 4 図



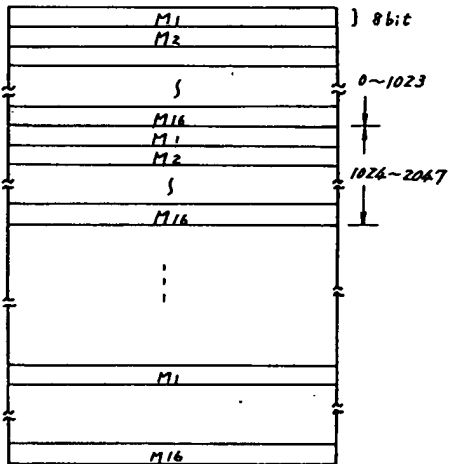
第 5 図



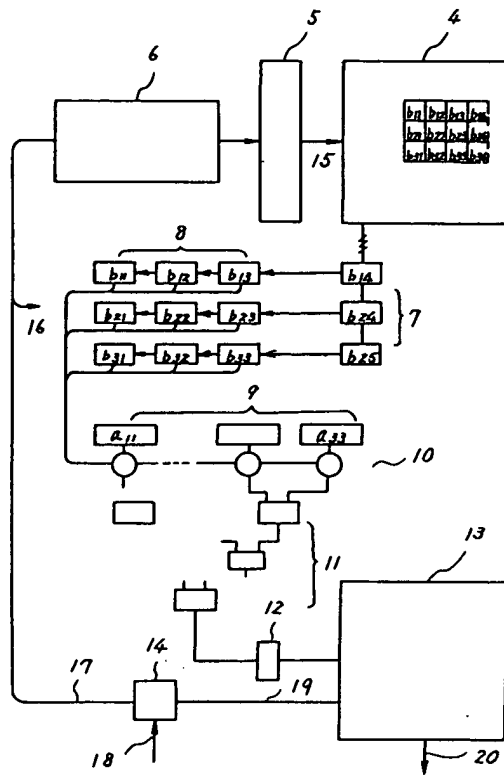
第 6 図



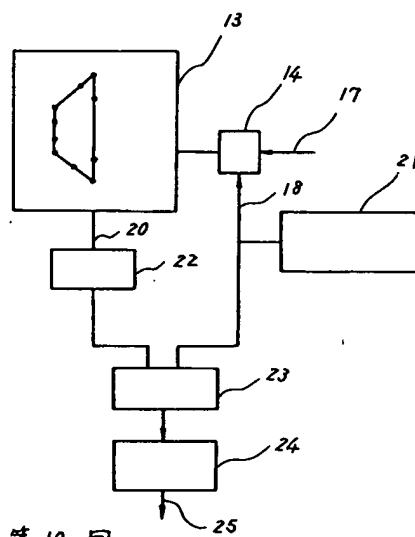
第 8 図



第 7 図



第 9 図



第 10 図

